



# SASE

Simposio Argentino de Sistemas Embebidos

3 al 5 de marzo 2010  
Buenos Aires

## Concurso de Proyectos Estudiantiles SASE 2010

### Listado de proyectos finalistas

Los proyectos finalistas se expondrán durante SASE 2010.

### Categoría A

*Para todos los proyectos desarrollados como trabajo final de graduación universitaria*

- "Diseño e implementación de una placa de desarrollo basada en un DSC para usos educativos", Adrián Carlotto, Universidad Nacional de Quilmes.....Pág. 3
- "Domótica para sistemas embebidos" - Juan Manuel Picerno, Ken Tenzer, Universidad de la República, Uruguay.....Pág. 4
- "Hardware de Control de Plataforma Robótica Móvil con Arquitectura ARM y RTOS. Caracterización." Martín Sebastián Baudino, Santiago Pérez, Daniel Federico Marchetti, UTN Facultad Regional Córdoba. ....Pág. 5
- "Modulador numérico de ancho de pulsos realizado con FPGA de tecnología FLASH" Hernán Javier Mediate, Universidad de Buenos Aires.....Pág. 6
- "Robot móvil multipropósito", Germán Pablo Alanís, Maximiliano Brarda, Ignacio Manuel Funes, Universidad Nacional de Rosario .....Pág. 7
- "Sistema electrónico basado en FPGA para simular procesos de arranque de reactores nucleares de investigación", Miguel Sofo Haro, Universidad Nacional de Córdoba.....Pág. 8
- "uHMI (*Human Machine Interface*)", Pablo Andrés Di Giulio, UTN Facultad Regional San Francisco .....Pág. 9

### Categoría B

*Para todos los demás proyectos desarrollados por estudiantes de grado de universidades o institutos terciarios*

- "Diseño e Implementación sobre una FPGA de un Procesador Pipeline Doble Núcleo con Soporte Nativo de Interfaz Humana", Pablo Wundes, Alejandra Weill, Instituto Tecnológico de Buenos Aires.....Pág.10
- "Ecuilizador adaptativo de audio", Ariel Iván Mello, Pablo Alejandro Pavlov Rachov, Gerardo Oscar Timossi, Universidad de Buenos Aires.....Pág.11
- "Método de acceso de bajo consumo para IEEE 802.15.4", Franco Matias Aguirre, Ana Laura Diedrichs, Mariano Egea, UTN Facultad Regional Mendoza.....Pág.12
- "Microprocesador de Arquitectura Multiciclo basado en el Set de Instrucciones MIPS", Mauricio Eduardo Caamaño Bedoya, Carmen Chan Zheng, Instituto Tecnológico de Costa Rica .....Pág.13
- "Reproductor MP3 con ARM7, display TFT color y memoria SD", Sebastián Rodríguez dos Santos, Facundo Manuel Viola, UTN Facultad Regional Haedo.....Pág.14
- "Sistema de votación inalámbrico", Esteban Azaretzky, Maximiliano Andrés Cecilia, David Diosque, Universidad Nacional de Tucumán.....Pág.15

### Categoría C

*Para todos los proyectos presentados por alumnos de escuelas secundarias.*

- No se presentaron postulantes.

## PREMIOS A DISTRIBUIR<sup>1</sup>:

	CATEGORIA A	CATEGORIA B
<b>PRIMER PREMIO</b>	<ul style="list-style-type: none"><li>• Kit LPCXpresso (NXP)</li><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)<sup>2</sup></li><li>• Fabricación PCB doble faz (INARCI)</li><li>• Orden de compra por \$600 (ELKO)</li></ul>	<ul style="list-style-type: none"><li>• Kit LPCXpresso (NXP)</li><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)</li><li>• Fabricación PCB doble faz (INARCI)</li><li>• Orden de compra por \$400 (ELKO)</li></ul>
<b>SEGUNDO PREMIO</b>	<ul style="list-style-type: none"><li>• Kit LPCXpresso (NXP)</li><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)</li><li>• Fabricación PCB doble faz (INARCI)</li><li>• Orden de compra por \$200 (ELKO)</li></ul>	<ul style="list-style-type: none"><li>• Kit LPCXpresso (NXP)</li><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)</li></ul>
<b>TERCER PREMIO</b>	<ul style="list-style-type: none"><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)</li></ul>	<ul style="list-style-type: none"><li>• Curso de AADECA a elección (incluye viaje a Bs.As. y estadía)</li></ul>

### ¿Cuándo y dónde se exponen los prototipos?

Los grupos preseleccionados podrán exponer sus prototipos y contarán con una mesa, y espacio para pegar posters en un área especialmente destinada a este certamen dentro del marco del SASE 2010. Durante el transcurso de este evento, los miembros del jurado visitarán a cada uno de los participantes para interiorizarse de los alcances y logros de cada proyecto, eligiendo de entre los presentes aquellos proyectos que finalmente resultarán premiados.

### ¿Cuál es la idea?

Queremos estimular la realización de proyectos vinculados con el área de sistemas embebidos (medición industrial, control, automatización, robótica, comunicaciones, etc.). Además, queremos favorecer la posibilidad que quienes hayan efectuado desarrollos de cierta relevancia o, sobre todo, con una concreta proyección de futuro, tengan acceso a toda la comunidad local del control automático para presentarlos y difundirlos.

### ¿Qué valoramos?

Se valorará el uso innovador y creativo de las tecnologías disponibles. Buscamos resultados eminentemente prácticos. Entendemos que son importantes aspectos tales como: realismo en la solución buscada, adecuación a normas internacionales de calidad y/o performance, capacidad de comunicación de la problemática abordada y los resultados obtenidos, clara comparación de la solución lograda con otras disponibles mundialmente, calidad de la documentación del proyecto, etc.

### ¿Quiénes integran el Jurado?

El jurado estará compuesto por tres representantes por el sector académico y dos por el sector industrial. Los nombres serán anunciados próximamente en la página web del SASE.

### ¿Cuándo se anuncia a los ganadores?

El anuncio y entrega de premios y diplomas se realizará el día viernes 5 de Marzo de 2010. El acto será público y de entrada libre. A solo criterio del jurado, además se podrán entregar Menciones de Honor en cada categoría por algún aspecto que se encuentre de particular interés. De la misma manera, el jurado podrá declarar vacante algún premio en caso que el nivel de los participantes así lo justifique.

<sup>1</sup> Los premios correspondientes a la categoría C se han utilizado para incrementar los premios de las categorías A y B respecto a lo originalmente previsto en las bases y condiciones del concurso, así como también para crear un tercer premio, que originalmente no estaba previsto.

<sup>2</sup> El “Curso de AADECA a elección” incluye la bonificación de los aranceles de cualquier curso o jornada de la programación de AADECA durante 2010 para todos los autores de los trabajos que obtengan el primero y segundo puesto de cada categoría, y el viaje en bus a Buenos Aires y una noche de estadía para un autor por trabajo, independientemente del número de autores del mismo.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

➤ **Título del proyecto:** Diseño e Implementación De Una Placa De Desarrollo Basada en un DSC, Para Usos Educativos.

### ➤ Resumen:

#### 1.- Introducción

La idea surge ante la necesidad de aplicar de manera práctica los conceptos básicos de procesamiento digital de señales, vistos en materias como Señales y Sistemas, Control Automático, Laboratorios de Automatización, etc. Por ejemplo, en cursos de control, la herramienta más utilizada es el MatLab, donde se aplican varias teorías para controlar sistemas reales simulados por modelos matemáticos. Este trabajo, permitirá a los alumnos desarrollar algoritmos de control sobre la herramienta Matlab/Simulink, y luego implementarlos en la placa a desarrollar a través de una interfaz apropiada, sin necesidad de contar con conocimientos específicos acerca de programación del DSC. Además estos algoritmos podrán depurarse con la planta real conectada al sistema (HIL, Hardware in the Loop).

#### 2.- Objetivo

El proyecto tiene como objetivo el diseño y armado de una placa de desarrollo de bajo costo basado en un DSC (Digital Signal Controllers). Esta placa será destinada para fines educativos y didácticos. Se podrá utilizar para todo tipo de trabajos prácticos, laboratorios, proyectos de fines de carrera en Universidades y talleres terciarios.

#### 3.- Implementación

Primero se realizó una búsqueda exhaustiva sobre distintos tipos de DSC. Se filtró por costo, disponibilidad, soporte de simulink, frecuencia, memoria RAM-ROM, punto fijo o flotante, número de bits, USB, información disponible, marca, etc. Una vez elegido el DSC, y los periféricos correspondientes, se realizó el diseño del circuito electrónico en Protel incluyendo el DSC, periféricos, fuente, pulsadores, leds, borneras, etc. Finalmente se hizo el diseño del PCB definitivo del circuito. Una vez obtenido el diseño del PCB, se procedió al armado de la placa de forma casera.

#### 5.- Conclusiones

Con éste proyecto tenemos la certeza de que contribuimos con una herramienta que será altamente utilizada en futuros proyectos y trabajos prácticos en Universidades. Por ejemplo, se podrá utilizar en cursos de Laboratorios, Señales y Sistemas, Control, Procesos y Maquinas Industriales, Diseño de Controladores Digitales y en cualquier otra materia en la que se necesite hacer procesamiento digital de señales o control utilizando Matlab como herramienta. También es de gran contribución personal ya sea por los conocimientos que se adquirieron y por las aplicaciones que se le podrán dar en el ámbito laboral por ser una herramienta económica comparada con un PLC, pero muy poderosa.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

- **Título del proyecto: Domótica para sistemas embebidos.**
- **Resumen:**

La domótica es el campo que relaciona la automatización, el hogar y la tecnología brindando beneficios a los usuarios de dichos sistemas teniendo en cuenta la seguridad, el confort de las personas y el ahorro energético. Las soluciones existentes de domótica suelen estar altamente acopladas con una tecnología específica, lo cual simplifica la interacción con los distintos dispositivos pero dificulta el uso de diversas tecnologías simultáneamente.

Como trabajo, se propone una API que permite la programación de aplicaciones con un alto grado de portabilidad, implantarse en plataformas con escasas prestaciones y es lo suficientemente genérica para contemplar diferentes interfaces de entrada/salida, así como, protocolos de comunicación heterogéneos. La solución propuesta está basada sobre una plataforma con una arquitectura orientada a servicios desarrollada en Java, llamada OSGi<sup>1</sup>. Tiene en cuenta aspectos de seguridad, evitando dejar vulnerable la privacidad, la autenticación y la autorización sobre los diferentes componentes del sistema. La API permite interactuar con distintas tecnologías de forma homogénea, los cuales incluso pueden estar distribuidos entre varios sistemas.

Para mostrar su aplicabilidad se realizó un prototipo para la automatización de un baño en una plataforma con recursos limitados, usando el proyecto Usb4All<sup>2</sup> que permite el control de dispositivos genéricos desde el puerto USB. Para interactuar con distintas tecnologías también se probó el sistema con dispositivos controlados por radiofrecuencia.

Se sobrescribió el firmware original de un *router* Azuz wl500w con OpenWrt<sup>3</sup> una distribución de linux para sistemas embebidos contando así con una plataforma MIPS de bajos recursos y bajo costo. Se implantó JamVM<sup>4</sup>, una máquina virtual de Java especializada para este tipo de entornos y sobre ella se montó todo el sistema. Se reutilizó el proyecto Usb4All que permite una ágil programación de las rutinas necesarias para la comunicación con un microcontrolador de Microchip el cual gestiona sensores y actuadores. Se desarrolló utilizando OSGi, un *framework* emergente por excelencia en los sistemas domóticos, y se experimentó con tecnologías de distribución como jSLP y R-OSGi. Finalmente, como fruto del proyecto de fin de carrera, se alcanzó un prototipo operativo.

---

1 <http://www.osgi.org/>

2 <http://www.fing.edu.uy/inco/grupos/mina/pGrado/pgusb/>

3 <http://openwrt.org/>

4 <http://jamvm.sourceforge.net/>

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

➤ **Título del proyecto:**

➤ **Resumen:**

El proyecto final de grado presentado es una solución integral que contiene tanto componentes de hardware como de software, para ser utilizado en una plataforma robótica móvil de arquitectura abierta (RoMAA); desarrollado íntegramente en el Centro de Investigación en Informática para la Ingeniería (CIII), de la Universidad Tecnológica Nacional, Facultad Regional Córdoba. El robot RoMAA es un vehículo de tracción diferencial que cuenta con dos ruedas de tracción, y una tercer rueda de apoyo, adecuado para la investigación en navegación autónoma en ambientes interiores.

Los objetivos a cumplir en el desarrollo del presente trabajo deben estar acorde con la filosofía original del proyecto RoMAA, lo que impone generar una arquitectura de software y hardware fácilmente modificable y extensible, utilizando herramientas de código abierto, que permitan su libre distribución; todo esto utilizando componentes disponibles en el mercado local.

Para cumplir con las tareas requeridas del sistema embebido es necesario contar con un controlador de alta gama, siendo de fundamental importancia la capacidad y velocidad de cálculo, la posibilidad de operar con punto flotante y los periféricos necesarios para la aplicación. Es por eso que se utilizó una placa de propósitos generales con microcontrolador ARM7TDMI de 32 bits (LPC2114 de NXP) desarrollada en el CIII.

Además, por ser de fundamental importancia el consumo energético en este tipo de aplicaciones, se diseñaron y construyeron fuentes de alimentación conmutada para alimentar la electrónica a bordo del robot. En relación al software se optó por utilizar un sistema operativo embebido de tiempo real, más concretamente FreeRTOS para desarrollar la aplicación de control. Este permite separar en tareas individuales las diferentes etapas del control, como ser el lazo cerrado de control de velocidad de los motores de tracción del robot, la decodificación de los encoders y cálculo de odometría, la comunicación con la PC a bordo, etc.

La realización del presente proyecto final de grado ha tenido como resultado principal un prototipo íntegramente desarrollado por estudiantes, con componentes disponibles en el mercado local, y con el asesoramiento de Ingenieros de la Universidad Tecnológica Nacional, Facultad Regional Córdoba.

El prototipo se encuentra en un estado totalmente funcional, y de hecho ya está siendo utilizado para tareas de experimentación en trabajos relacionados a la robótica y visión por computadoras.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

### ➤ **Título del proyecto:**

#### **MODULADOR NUMÉRICO DE ANCHO DE PULSOS REALIZADO CON FPGA DE TECNOLOGÍA FLASH**

### ➤ **Resumen:**

#### **INTRODUCCIÓN**

Este trabajo trata una cuestión clave relacionada con en el control digital de la regulación de tensión, como es la modulación por ancho de pulsos, considerando aspectos como la resolución de la forma de onda, el comportamiento dinámico, la flexibilidad de aplicación y la simplificación del proceso de filtrado.

#### **OBJETIVOS**

El modulador a desarrollar debía emplearse tanto en fuentes ininterrumpibles de potencia (UPS) monofásicas y trifásicas, como en variadores de velocidad, pero como en esta última aplicación hay mayores requerimientos se estudió principalmente este caso.

Así, con el objetivo de mejorar el desempeño dinámico del lazo de realimentación propio del sistema de control de velocidad de un motor de corriente alterna, se implementó un modulador numérico trifásico en FPGA para reducir el retardo del lazo.

#### **REALIZACIÓN**

Se ha realizado un modulador de ancho de pulsos, para motores de CA, con un arreglo de compuertas programables (FPGA). Inicialmente se había implementado un esquema de modulación numérica (también conocida como modulación óptima o calculada) pero con el fin de reducir los requerimientos de hardware se propuso un modulador híbrido que combina la modulación numérica con una modulación proporcional. Se hizo la verificación experimental utilizando un sistema de desarrollo para FPGA disponible en el Laboratorio de Control de Accionamientos, Tracción y Potencia (LABCATYP) dependiente del Departamento de Electrónica de esta Facultad.

#### **CONCLUSIONES**

El modulador híbrido óptimo-proporcional realizado tiene las siguientes características:

1) La operación de filtrado puede evitarse cuando se aplica la señal PWM a un motor de corriente alterna CA porque este esquema permite eliminar algunas armónicas indeseadas mientras que las restantes son atenuadas por la inductancia del bobinado del motor. Más de tres ángulos pueden ser usados para eliminar más de tres armónicas.

2) Puede implementarse con un único circuito integrado (FPGA), usando sólo una fracción pequeña de las celdas disponibles.

3) La técnica de modulación propuesta no exige mucho tiempo de procesamiento del microcontrolador. Esto se debe a que luego del calcular los ángulos, éstos pueden ser guardados en la FPGA para generar la señal modulada.

Se logra así, una solución de bajo costo para variar la tensión de salida con una alta resolución.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

- **Título del proyecto: Robot móvil multipropósito**
- **Resumen:** El robot que se construyó tiene implementado un sistema embebido de movimiento básico que responde por medio de comandos de avance, retroceso o de giro en ambos sentidos y a la magnitud deseada (ej. 300 mm , 45°, etc.). El protocolo de comunicación fue diseñado para asegurarse de no perder datos en la comunicación o al menos en su defecto detectar si se perdió la conexión. Por último se destaca la capacidad de intercambiar módulos o incluir mejoras en el futuro y calibrarlo nuevamente sin dificultades, por ejemplo para un diseño con motores más potentes.
- **Objetivos:** Lo que se busca en la realización de este proyecto es hacer un dispositivo robótico básico realizando todas y cada una de las etapas( diseño de circuitos, diseño de PCB's, creación de las PCB's, soldado de componentes, montaje de los motores, etc.) que nos permita adquirir experiencia en un amplio rango de las actividades que se requieren en la fabricación de cualquier dispositivo electrónico, al menos en forma básica. Sin dejar de lado la posibilidad de hacer un dispositivo autónomo y dedicado que solo obedece ordenes externas que cualquier persona puede entender (la orden no realiza el control sobre las ruedas, solo le dice que se mueva).
- **Resultados:** Se obtuvo un robot con una buena precisión de movimiento (cercana a la de algunos modelos comerciales) capaz de recibir incluso un batch de comando y ejecutarlos uno a la vez mientras que el resto queda en espera. El tipo de comunicación que se adoptó junto a un software desarrollado para el manejo del robot me permiten la posibilidad de utilizarlo con cualquier computador de hoy en día que tenga un puerto USB(prácticamente todos), y no se queda limitado aquí ya que es posible cambiar el modulo de comunicación y realizar una comunicación inalámbrica y junto a la batería que le brinda autonomía se expanden las posibilidades de su uso a muchos ambientes que quizás la existencia de un cable impediría o estorbaría. El contacto con la realización de plaquetas fue una buena experiencia porque es una de las etapas más importantes, donde pueden aparecer una gran cantidad de inconvenientes no visibles en las etapas de diseño, y a la vez es la parte real del dispositivo.

## CONCURSO SASE Desarrollos Estudiantiles 2010

### ➤ Título del proyecto:

### **SISTEMA ELECTRONICO, BASADO EN FPGA, PARA SIMULAR PROCESOS DE ARRANQUE DE REACTORES NUCLEARES DE INVESTIGACIÓN**

### ➤ Resumen:

En el presente trabajo se presenta el desarrollo de un **Simulador de Procesos de Arranque de Reactores Nucleares de Investigación** (en adelante **SPARNI**).

**SPARNI** se desarrolló para ser utilizado durante las etapas de prueba de los sistemas de medición de neutrones de los canales de arranque, realizadas periódicamente en los Reactores Nucleares de investigación, denominadas pruebas pre-operacionales.

Para la prueba completa de cada canal junto con la lógica de seguridad, es necesario excitar todas las cadenas al mismo tiempo y en forma independiente a fin de poder generar situaciones en las que la votación de la lógica requiera la toma de alguna acción de seguridad.

El objetivo del desarrollo de **SPARNI** fué contar con un instrumento que genere un conjunto de señales que reemplacen los detectores de neutrones para alimentar toda la electrónica de medición de arranque en forma simultanea y realizar las pruebas anteriormente mencionadas.

Si bien en el mercado existen generadores de pulsos neutrónicos que son útiles para generar la señal necesaria, no se tiene conocimiento de alguno que pueda reproducir tres canales en forma simultanea, y menos aún de simular el crecimiento del flujo neutrónico (tasa) durante el arranque para los tres canales.

**SPARNI** se diseño cubriendo las características de un generador de pulsos neutrónicos y agregando la capacidad de simular y configurar, sobre tres canales independientes, el crecimiento de la población neutrónica (tasa) durante el arranque del reactor.

**SPARNI** se encuentra implementado en un dispositivo FPGA. El bajo costo y fácil utilización de un FPGA, sumado a las frecuencias de trabajo y grado de paralelismo de la aplicación, lo hacen apropiado para un sistema parametrizable de generación de señales como es **SPARNI**

En la FPGA se encuentra embebido un microprocesador PicoBlaze y un conjunto de algoritmos específicos, desarrollados e implementados en hardware. El microprocesador PicoBlaze se encarga únicamente de coordinar la interfaz de usuario, y los algoritmos, de generar en tiempo y forma una secuencia de muestras digitales que reproducen, según sea la configuración del simulador, la salida de los detectores de neutrones. Las muestras digitales de salida de la FPGA se ingresan a sistema de acondicionamiento analógico que tiene como salida las señales eléctricas correspondientes

Para el diseño de **SPARNI** se utilizaron software de simulación de los algoritmos digitales y de simulación analógica para la electrónica de acondicionamiento de señal.



## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

### ➤ Título del proyecto: *uHMI*

### ➤ Resumen:

El presente proyecto fue desarrollado como tesis de grado para la finalización de mis estudios.

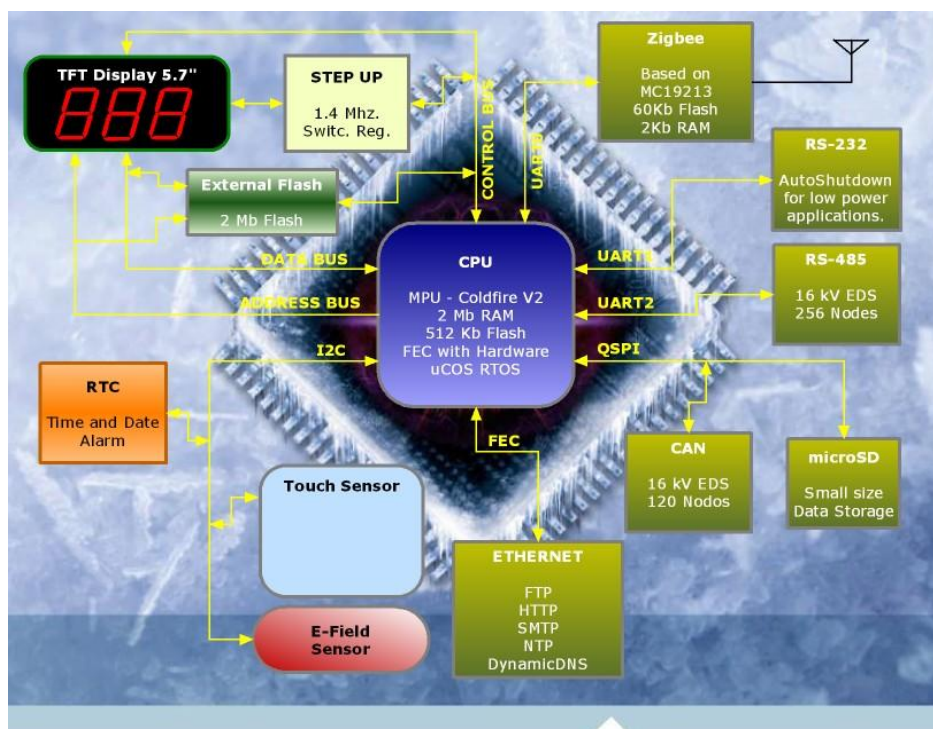
El principal objetivo de este proyecto fue poner en práctica la mayoría de las tecnologías estudiadas en el transcurso de la carrera, por eso que surgió la idea de desarrollar una HMI (*Human Machine Interface*).

Una HMI es un dispositivo que se utiliza mucho en nuestra vida cotidiana, cuando utilizamos un celular, un microondas, un control remoto, estamos utilizando una HMI. El punto de unión entre el mundo de la tecnología y el mundo humano es una HMI, es lo que nos permite entrar en contacto con la tecnología.

La HMI desarrollada en este trabajo está orientada a una ambiente industrial ya que posee protocolos utilizados en dicha área. La misma está basada en un procesador Coldfire V2 de la empresa "Freescalle Semiconductor". El mismo está corriendo un RTOS basado en uC-OS II el cual nos permite administrar nuestro sistema en tiempo real según se necesite.

Como periféricos para controlar dispositivos industriales poseemos del bus CAN, RS232, RS485, Ethernet, 802.15.4, Digital Input/Outputs, I2C. Además posee una unidad de almacenamiento basada microSD, la que permite guardar y leer archivos.

Como interface de usuario se dispone de una pantalla de 5.7" del tipo TFT de 65535 colores, además de touch screen para el control de los menús. Básicamente se desarrolló un pequeño demo para mostrar cada uno de los módulos de la misma, su funcionalidad, etc.



## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

Título del proyecto:

Diseño e Implementación sobre una FPGA de un Procesador Pipeline Doble Núcleo con Soporte Nativo de Interfaz Humana.

Resumen:

El siguiente trabajo tiene por objetivo realizar una plataforma flexible y reconfigurable para su uso en sistemas embebidos. La premisa fue desarrollar un sistema económico basado en un procesador popular cuyas herramientas de desarrollo han demostrado su confiabilidad a lo largo del tiempo. A su vez, en relación a los periféricos se buscó incluir aquellos de uso frecuente en sistemas embebidos, haciendo énfasis en los relacionados con la interfaz humana.

El sistema propuesto está formado por un procesador doble núcleo basado en la popular arquitectura del procesador de Intel: 8051. Las interfaces humanas implementadas son PS/2 (teclado y mouse) y VGA. La implementación fue realizada en una FPGA de Altera (Cyclone I).

Algunos aspectos que se pueden destacar acerca del procesador implementado son: la inclusión de pipeline y la reducción del número de ciclos de máquina por instrucción a uno, en la mayor parte de los casos. De esta manera se lograron alcanzar velocidades máximas del orden de los 46MIPS. Los procesadores cuentan con periféricos internos independientes, disponiéndose de un timer, así como dos interrupciones externas.

La arquitectura de doble núcleo permite al sistema realizar tareas en tiempo real y al mismo tiempo proveer una interfaz con el operador. En ese sentido se realizaron ensayos sobre el sistema implementando dos programas de prueba, ambos escritos en C y compilados con un compilador comercial para 8051. Los programas demuestran la interacción entre ambos núcleos: el primero utiliza un núcleo para la interfaz con el usuario y el otro para cálculos (en este caso se trata de una implementación de un juego sencillo de carácter demostrativo). El segundo consiste en un editor de texto, en este caso una rutina de impresión corre en el segundo núcleo mientras que el editor y su interfaz con el usuario en el primero.

La arquitectura desarrollada en FPGA otorga una gran flexibilidad al sistema ya que permite una inclusión muy sencilla de periféricos, como ser un watchdog o interfaces serie o paralelo. A su vez, el diseño parcialmente parametrizado permite la expansión a modelos de memoria mayores o inclusive el uso de operandos de mayor tamaño. Estas posibilidades de expansión y la buena performance del sistema junto con un set de instrucciones muy conocido, permiten que este diseño presente una alternativa viable para sistemas embebidos en un rango de aplicaciones muy amplio.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

➤ **Título del proyecto:**           **Ecualizador Adaptativo de Audio**

➤ **Resumen:**

Completar con introducción, objetivos, implementación, resultados obtenidos, etc.  
Máxima extensión de este documento: una página.

Toda pieza musical es grabada y editada en el estudio admitiendo que el sistema de audio donde se va a reproducir finalmente tiene una respuesta en frecuencia plana. Esta última afirmación bien puede llegar a ser cierta, pero de por sí no implica que el sonido que llega a los oyentes sea plano. Muy variadas son las causas por las cuales la característica en frecuencia de un ambiente se ve alterada. Aberturas en la sala, amoblado, alfombrado, la presencia de cortinas y la distribución de los parlantes en la sala, son factores que alteran la percepción del sonido. Es por eso que normalmente se ajusta la característica en frecuencia con alguna clase de control. Esta clase de control puede ser un simple ajuste tonal (por ejemplo de graves y agudos) o un más elaborado ajuste por bandas, normalmente conocido como ecualización gráfica. Por lo tanto se puede decir que un ecualizador gráfico permite variar la curva de respuesta en frecuencia del sistema de audio de modo que se puede corregir la característica acústica de un ambiente. Cada ambiente es particularmente diferente y cada oyente también lo es. Entonces se entiende que la tarea de ecualización óptima radica en adaptar el ambiente al oyente.

La idea del sistema que se pretende desarrollar es automatizar la tarea de ecualización. Para entender la funcionalidad se puede pensar en un usuario que tiene instalado el sistema en el living de su casa. Él introduce en el equipo una curva de ecualización dada y el sistema, de manera automática reconoce y caracteriza el conjunto amplificador - ambiente en el cual está. Con esta información el sistema devuelve una nueva curva de ecualización que tiene en cuenta que el ambiente no tiene una respuesta plana y adapta lo que requiere el usuario a la realidad del living.

A los efectos de ilustrar la funcionalidad del sistema se brinda una breve explicación del procedimiento.

La ecualización de audio deseada se ingresa en el sistema a través de la interfaz con el usuario. La señal de prueba, que consiste en una secuencia compuesta por la superposición de tonos es generada en la fuente de señal de prueba. El sistema entonces toma esa señal de prueba y la vuelca sobre el convertidor (D/A). La señal de salida, ya en tiempo continuo es acondicionada por el preamplificador integrado en el sistema y se envía a través de una salida de línea, al equipo de audio instalado en el ambiente. La respuesta del conjunto equipo de audio más ambiente es capturada entonces por el micrófono de este sistema que constituye el lazo de realimentación del mismo. El preamplificador de micrófono acondiciona la señal para que pueda ser procesada por el convertidor A/D. Este flujo de datos es entonces tomado por el microprocesador.

Seguidamente se realiza el cálculo de bandas de potencia y se ajusta mediante un banco de filtros de ganancias variables la ecualización en forma iterativa hasta poder minimizar el error de acuerdo a un funcional en particular.

## CONCURSO SASE Desarrollos Estudiantiles 2010

(enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

### ➤ **Título del proyecto: Método de acceso de bajo consumo para IEEE 802.15.4**

➤ **Resumen:** Se ha desarrollado un protocolo de comunicaciones para redes de sensores bajo la norma IEEE 802.15.4, donde se utilizó una pila de protocolos denominada SMAC (Simple MAC) de la empresa FreeScale. Una de las ventajas de estas tecnologías es el bajo consumo, pero se requiere un diseño apropiado tanto de hardware como de software para lograr un funcionamiento con baterías de hasta 2 años, como se demuestra en el trabajo.

➤ **Introducción:** Se ha montado un escenario que corresponde con una necesidad típica en aplicaciones industriales, de domótica o detección ambiental para la medición de parámetros como humedad, temperatura y aceleración entre otros, y su posterior transmisión inalámbrica a un nodo interesado en estos datos o gateway. El bajo consumo es primordial para garantizar una autonomía significativa en este tipo de esquema. Por ello se ha desarrollado un protocolo de comunicación usando el esquema maestro-esclavo donde los nodos operan en modo de bajo consumo la mayor parte del tiempo, reduciendo los tiempos de transmisión y recepción. Esto es ideal para entornos donde no se requiere un reporte de datos muy frecuente por parte de los nodos sensores.

➤ **Implementación:** La implementación se realizó en lenguaje "C" usando la librería gratuita SMAC de Freescale como "controlador de la radio", la que incluye primitivas que solucionan el acceso al medio, permiten la selección del canal de comunicaciones y realizar diferentes pruebas tanto de enlace como a la radio misma. El hardware utilizado en esta implementación se compone principalmente de microcontroladores MC9S08GT32 de Freescale conectados a un transceptor IEEE 802.15.4 compatible, el MC13192 de Freescale.

### ➤ **Objetivos:**

- Desarrollar un protocolo de comunicaciones orientado al bajo consumo para utilizar en hardware embebido IEEE 802.15.4 compatible.
- Montar una demostración práctica de un prototipo funcional que utilice dicho protocolo.
- Realizar las mediciones que verifiquen los resultados esperados.

### ➤ **Resultados obtenidos:**

- Se ha demostrado, en una implementación a baja escala, la utilización de una librería de software de libre distribución para el desarrollo de un protocolo de comunicaciones de bajo consumo, que permite optimizar el rendimiento energético de los nodos.
- Se realizaron las mediciones correspondientes que verifican los cálculos teóricos y que refuerzan las hipótesis realizadas.

## CONCURSO SASE Desarrollos Estudiantiles 2010

### ➤ Título del proyecto:

### **Microprocesador de Arquitectura Multiciclo basado en el Set de Instrucciones MIPS**

### ➤ Resumen:

Los sistemas embebidos son populares en el control de dispositivos de uso diario (un reproductor de MP3, PDAs, celulares, etc.) puesto que son sistemas dedicados a tareas específicas, y además, por el tamaño, el costo y el desempeño los convierten en dispositivos altamente rentables y eficientes. Los sistemas embebidos han generado grandes ganancias de miles de millones de dólares en industrias de videojuegos, consolas populares como el Nintendo64, PlayStation2, PSP, entre otros siguen utilizando procesadores basados en la arquitectura MIPS.

Una vez diseñado el microprocesador con todos sus bloques correspondientes, se muestra su correcto funcionamiento mediante la ejecución del popular juego Pong. Este juego fue diseñado a partir del set de instrucciones MIPS. Cabe destacar, que el diseño del microprocesador es para propósitos generales, esto quiere decir, que al implementar cualquier programa escrita bajo el set de instrucciones MIPS, éste se ejecutará sin ningún problema en el microprocesador.

Para la implementación, se desarrolló una lógica de interfaz entre el microprocesador y el usuario. Primeramente, como el control del juego se diseñó un hardware para la captura de datos desde un teclado PS/2. Este módulo fue utilizado ya sea mover las paletas de los dos jugadores o cambiar la velocidad del movimiento de la bola (nivel del juego). Seguidamente, se diseña la visualización del área de juego que consiste en: la puntuación, el nivel del juego, las paletas de ambos jugadores y la bola, todo este conjunto desplegado en un monitor VGA. Por último, se implementa el diseño completo en una tarjeta Spartan-3E de la familia de FPGA de Xilinx Inc. Se destaca, que mediante pruebas, el reloj interno de 50MHz de la tarjeta, no podía trabajar en frecuencias mayores a 47 MHz, por tanto, se diseñó un divisor de frecuencia a 25 MHz, que fue implementado exitosamente en la sincronización del monitor VGA y en el microprocesador.

Por último, al incorporar exitosamente el microprocesador, el hardware de control del juego y la visualización en la tarjeta, se consiguió ejecutar correctamente las instrucciones del juego, y se desplegó correctamente el área de juego en el monitor VGA, además se logró un control correcto de las dos paletas por parte de los usuarios. Por lo tanto, la generalización en el diseño del microprocesador permite que el programa pueda ser modificado a nivel de instrucciones sin que sea necesario cambiar el diseño de hardware.



Universidad de Buenos Aires



ID

## CONCURSO SASE Desarrollos Estudiantiles 2010

(Enviar por e-mail a [lse@fi.uba.ar](mailto:lse@fi.uba.ar) antes del 17/02/2010, acompañado por los demás documentos detallados en las bases y condiciones del concurso)

### ➤ **Título del proyecto: Reproductor MP3 con ARM7, display TFT color y memoria SD**

#### ➤ **Resumen:**

En la actualidad, existen incontable cantidad de equipos reproductores de audio portátiles, ya sean los llamados reproductores de MP3 o sus sucesivas generaciones, que incorporan la posibilidad de reproducir videos o incluso tomar fotos y filmar. Estos pequeños dispositivos integran una gran cantidad de funcionalidades que conforman un sistema embebido. De esta manera surge la idea de realizar este proyecto, donde se intentan recorrer todos los aspectos que conlleva el desarrollo de esta clase de equipos.

El proyecto se basa en el desarrollo de un equipo con capacidades de reproducir audio en diversos formatos como MP3, WMA y WAV, junto con la exploración y representación de imágenes (hasta el momento BMP) en una pantalla color TFT de 2.2" con 262.144 colores. El sistema de almacenamiento utilizado es una memoria SD/MMC con sistema de archivos FAT32, desde la cual se obtienen los archivos de interés para ver o reproducir.

Se utiliza como núcleo del sistema un microcontrolador basado en la familia ARM7TDMI, en conjunto de un DSP como co-procesador de audio. Como se cuenta con poca cantidad de memoria, tanto RAM como de programa, disponibles en el microcontrolador utilizado, fue necesario implementar de la manera más eficiente todas las tareas que tuviesen que ver con el manejo gráfico. Por ello, se utiliza una memoria flash externa de alta capacidad donde se almacenan las imágenes estáticas y dinámicas, liberando así recursos del microcontrolador.

La implementación del firmware del proyecto utiliza la filosofía de las máquinas de estado como alternativa a un RTOS. Esto se debe a que no se tenía conocimiento de un RTOS portable al microcontrolador utilizado al momento de planificación del proyecto. Al utilizar máquinas de estado debemos hacer hincapié en la fragmentación de tareas, que es uno de los aspectos más importantes del proyecto en lo que se refiere a su firmware. Al trabajar con grandes transferencias de datos entre el microcontrolador y los demás dispositivos del sistema, se necesita que estas acciones se ejecuten de manera balanceada para no afectar tanto el manejo gráfico como la reproducción de audio. Para su operación, el equipo tiene una interfaz de usuario gráfica muy amigable e intuitiva, que permite la rápida comprensión y uso de sus funcionalidades. El menú principal lo guía en cada paso. Ésta interfaz es personalizable, es decir, puede diseñarse una nueva y hacer que el dispositivo la incorpore para su uso.

Como puede observarse, se utilizaron al máximo las capacidades de todos los dispositivos del sistema, logrando así mitigar los efectos de la escasez de recursos y la baja velocidad entre periféricos al momento de direccionar grandes cantidades de datos. Por eso en el desarrollo de este proyecto, fue necesario colocar la mayor creatividad posible para lograr un sistema rápido, ágil y estable, con capacidades similares a los demás equipos disponibles en el mercado.

## CONCURSO SASE Desarrollos Estudiantiles 2010

### ➤ **Título del proyecto: Sistema de votación inalámbrico**

➤ **Resumen:** El objetivo del presente proyecto es la construcción de un sistema de votación electrónico e inalámbrico, el cual permite realizar encuestas en tiempo real, para ser utilizado en la disertación de clases, seminarios, conferencias, etc.

Para llevar a cabo el proyecto se diseñaron varias piezas de hardware y software. Las mismas son las siguientes:

- **Votador:** El votador tiene un tamaño aproximado de 10 x 5 cm y consta de los botones para elegir y emitir los votos y una antena para comunicarse con el receptor.
- **Receptor:** El receptor tiene un tamaño aproximado de 5 x 2,5 cm y consta de una antena para comunicarse con los votadores y de un puerto USB para comunicarse con la computadora.
- **Protocolo de comunicación:** Se diseñaron las capas de transporte y de aplicación. Las capas físicas y de enlace son provistas por Freescale Semiconductor.
- **Software para una computadora:** El software en la computadora es el encargado de la administración y almacenamiento de las encuestas.

Los principales objetivos planteados son:

- Mando con seis botones numéricos y dos de función.
- Bajo consumo de los mandos.
- Alcance de 15 a 30 metros.
- Soporte para más de 50 mandos.
- Receptor con interfaz USB.
- Almacenamiento de las encuestas realizadas.

Como objetivos secundarios se plantearon:

- Mantener el diseño lo más económico posible
- Que las dimensiones de los dispositivos sean cómodas para su uso.

Este proyecto fue realizado a lo largo del primer semestre del año 2009 durante el cursado de la materia "Laboratorio de Microprocesadores". Para su desarrollo utilizamos los conocimientos adquiridos a lo largo de nuestra carrera y logramos implementar el sistema cumpliendo con los objetivos planteados.