RISC-V en Microcontroladores

Una introducción a RISC-V

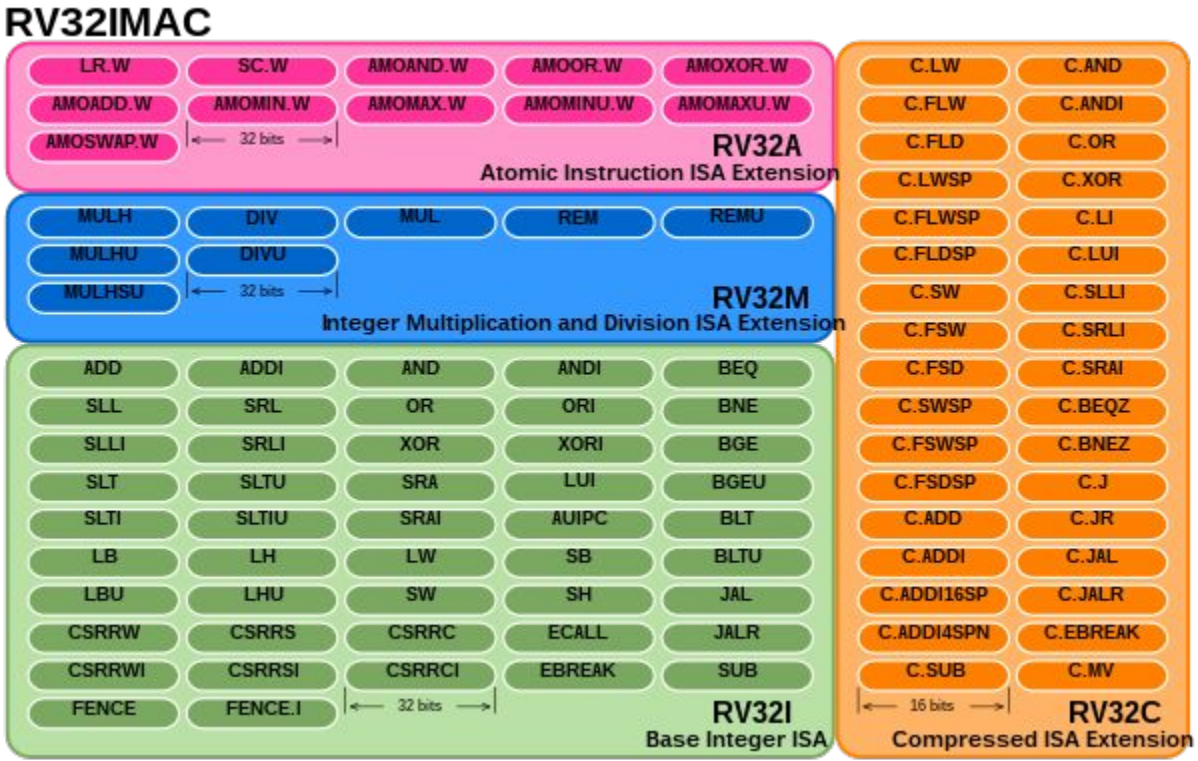
Qué es:

- Un conjunto de instrucciones modular
- Una filosofía de diseño
- Una comunidad de desarrollo
- Un consorcio que garantiza la independencia de cualquier ente

Qué NO es

- Un procesador en específico
- Una arquitectura
- Un fabricante
- Una plataforma
- Una marca

RISC-V como ISA (Instruction set architecture)



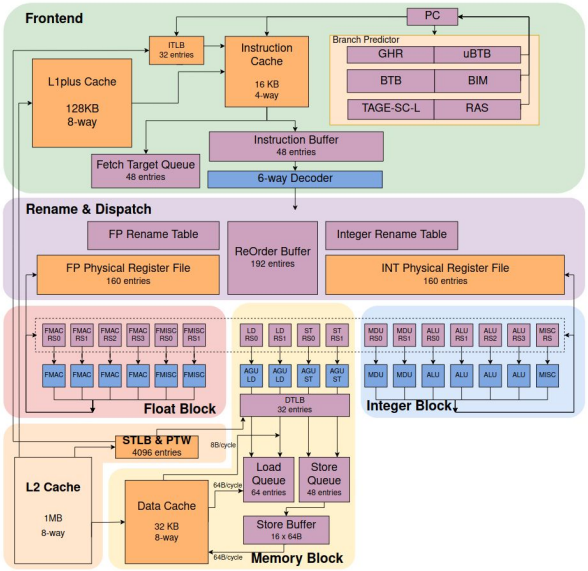
Que quiere decir la A (arquitectura) en ISA

Conjunto de instrucciones

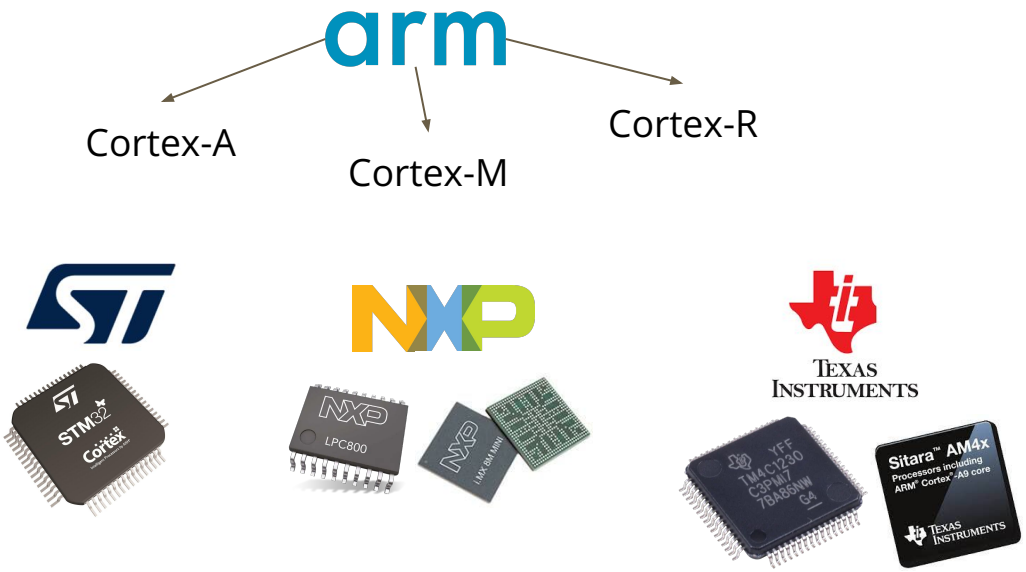
Branching

Mnemonic	Instruction	Type	Description
`BEQ rs1, rs2, imm12`	Branch equal	SB	`if rs1 == rs2` `  pc ← pc + imm12`
`BNE rs1, rs2, imm12`	Branch not equal	SB	`if rs1 != rs2` `  pc ← pc + imm12`
`BGE rs1, rs2, imm12`	Branch greater than or equal	SB	`if rs1 >= rs2` `  pc ← pc + imm12`
`BGEU rs1, rs2, imm12`	Branch greater than or equal unsigned	SB	`if rs1 >= rs2` `  pc ← pc + imm12`
`BLT rs1, rs2, imm12`	Branch less than	SB	`if rs1 < rs2` `  pc ← pc + imm12`
`BLTU rs1, rs2, imm12`	Branch less than unsigned	SB	`if rs1 < rs2` `  pc ← pc + imm12 << 1`
`JAL rd, imm20`	Jump and link	UJ	`rd ← pc + 4` `pc ← pc + imm20`
`JALR rd, imm12(rs1)`	Jump and link register	I	`rd ← pc + 4` `pc ← rs1 + imm12`

Implementación



ARM vs RISC-V



ARM vs RISC-V

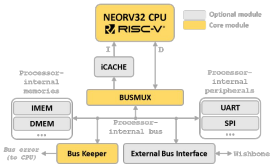
RISC-V®

RISC-V ISA

Juan Pepito

FPGA

Softcore

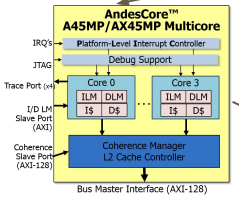


Alibaba Group 阿里巴巴集团

E902, E906, C906, C910

Allwinner Technology

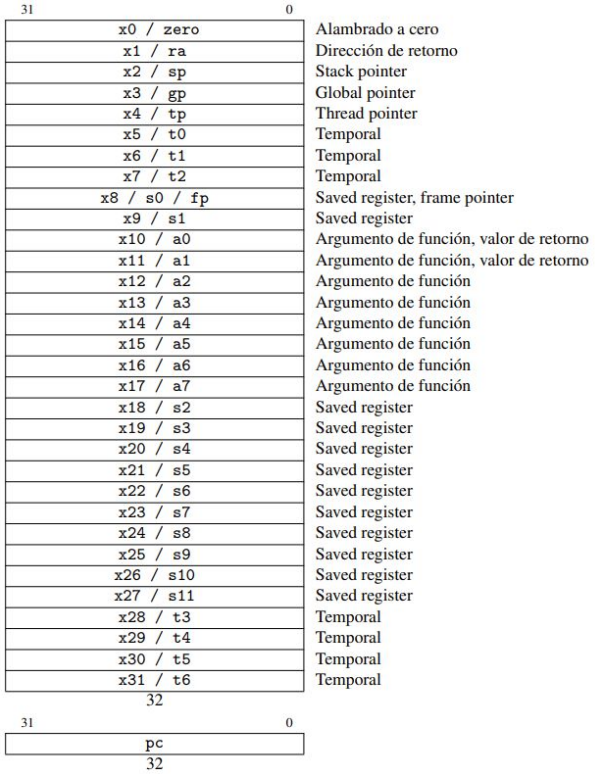
ANDES TECHNOLOGY



RENESAS

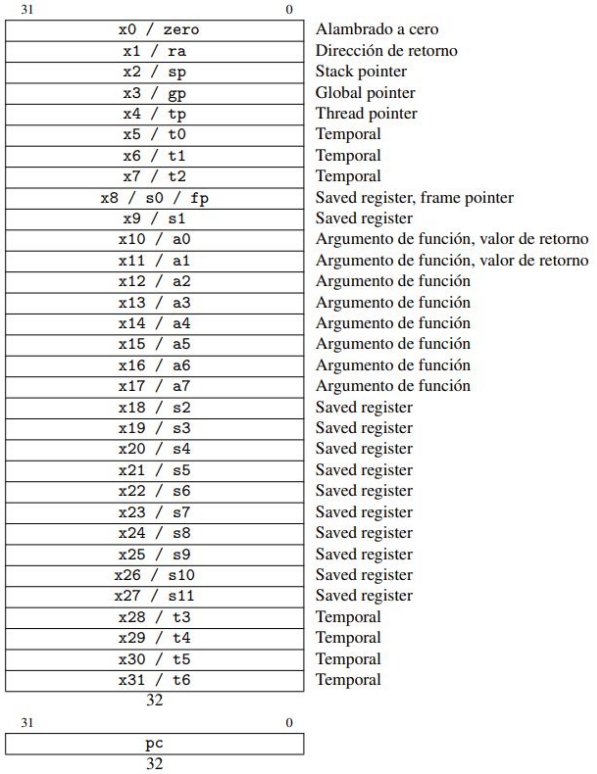
Una vista rapida a RISC-V

- Arquitectura de 32 o 64 bits
- 32 registros de 32 o 64 bits
- Ancho de instrucción de 32 bits
- El registro 0 siempre se lee como cero
- Y se descarta lo que se escriba
- Todo salto es relativo al contador de programa
- Arquitectura de carga/almacenamiento
- Toda operación se hace desde/hacía registros



Una vista rapida a RISC-V

- Conjunto base de instrucciones denominado [I]
- Extensiones estándar para varias cosas
  - Multiplicación/división [M]
  - Operaciones atómicas [A]
  - Punto flotante simple y doble [F] o [D]
  - Instrucciones comprimidas [C]
  - Juego de registros embebido [E] (reduce de 32 a 16 registros)
  - ...muchas, muchas más...
- Se nombra al procesador como rv32i[extensiones...]
  - rv32i: Conjunto de instrucciones básicas
  - rv32imafc: Multiplicacion+atomico+punto flotante e instrucciones comprimidas
  - rv64g: Abreviación para IMAFD en 64bits
  - rv32e: Conjunto de registros embebidos



31 … 0	
x0 / zero	Alambrado a cero
x1 / ra	Dirección de retorno
x2 / sp	Stack pointer
x3 / gp	Global pointer
x4 / tp	Thread pointer
x5 / t0	Temporal
x6 / t1	Temporal
x7 / t2	Temporal
x8 / s0 / fp	Saved register, frame pointer
x9 / s1	Saved register
x10 / a0	Argumento de función, valor de retorno
x11 / a1	Argumento de función, valor de retorno
x12 / a2	Argumento de función
x13 / a3	Argumento de función
x14 / a4	Argumento de función
x15 / a5	Argumento de función
x16 / a6	Argumento de función
x17 / a7	Argumento de función
x18 / s2	Saved register
x19 / s3	Saved register
x20 / s4	Saved register
x21 / s5	Saved register
x22 / s6	Saved register
x23 / s7	Saved register
x24 / s8	Saved register
x25 / s9	Saved register
x26 / s10	Saved register
x27 / s11	Saved register
x28 / t3	Temporal
x29 / t4	Temporal
x30 / t5	Temporal
x31 / t6	Temporal

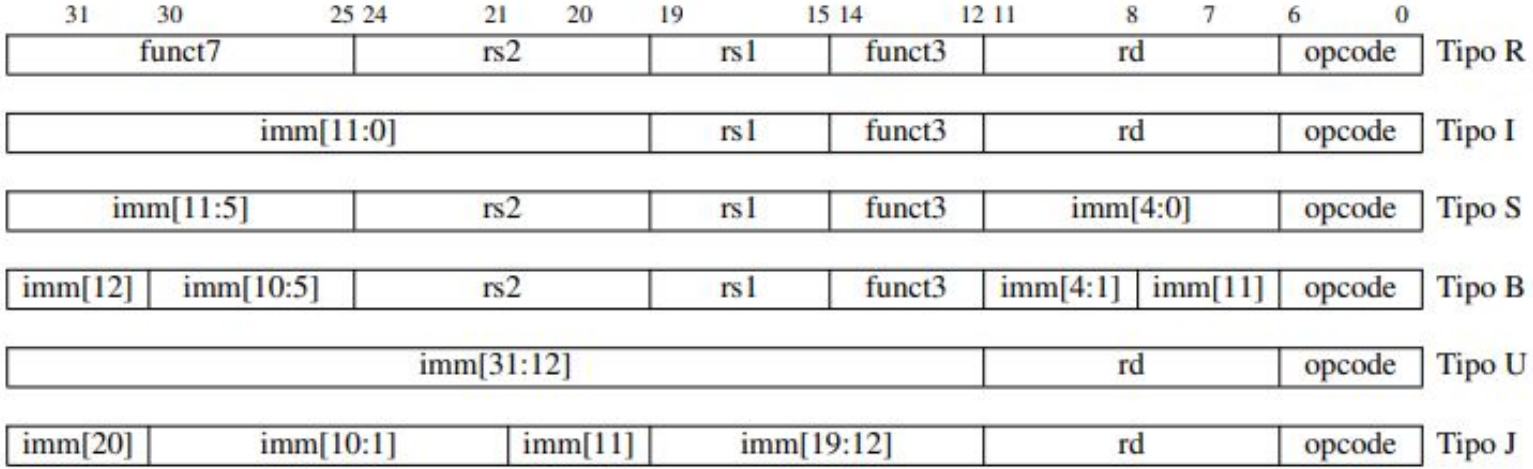
32

31 … 0
pc

32

Una vista rapida a RISC-V

- Formato de instrucciones regular y fácil de decodificar por la máquina
- Admite distintos formatos de instrucciones
- Esto permite añadir extensiones en el ISA no estándar del fabricante
- La implementación más simple no requiere de control complejo y ocupa muy poco espacio



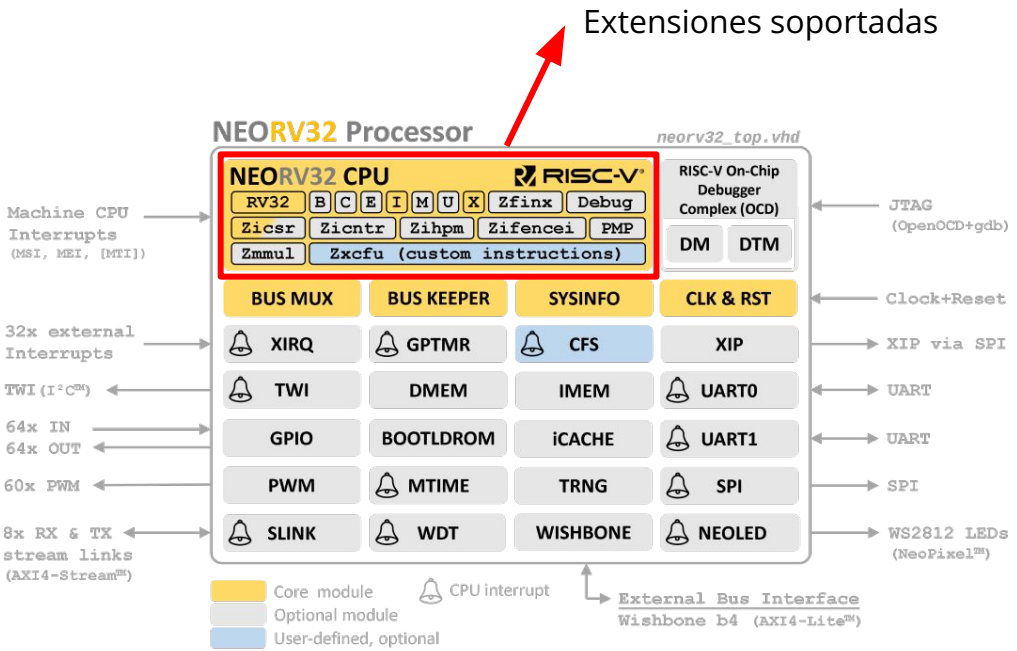
Cartilla básica de instrucciones

31 25	24 20	19 15	14 12	11 7	6 0	
imm[31:12]				rd	0110111	U lui
imm[31:12]				rd	0010111	U auipc
imm[20|10:1|11|19:12]				rd	1101111	J jal
imm[11:0]		rs1	000	rd	1100111	I jalr
imm[12|10:5]	rs2	rs1	000	imm[4:1|11]	1100011	B beq
imm[12|10:5]	rs2	rs1	001	imm[4:1|11]	1100011	B bne
imm[12|10:5]	rs2	rs1	100	imm[4:1|11]	1100011	B blt
imm[12|10:5]	rs2	rs1	101	imm[4:1|11]	1100011	B bge
imm[12|10:5]	rs2	rs1	110	imm[4:1|11]	1100011	B bltu
imm[12|10:5]	rs2	rs1	111	imm[4:1|11]	1100011	B bgeu
imm[11:0]		rs1	000	rd	0000011	I lb
imm[11:0]		rs1	001	rd	0000011	I lh
imm[11:0]		rs1	010	rd	0000011	I lw
imm[11:0]		rs1	100	rd	0000011	I lbu
imm[11:0]		rs1	101	rd	0000011	I lhu
imm[11:5]	rs2	rs1	000	imm[4:0]	0100011	S sb
imm[11:5]	rs2	rs1	001	imm[4:0]	0100011	S sh
imm[11:5]	rs2	rs1	010	imm[4:0]	0100011	S sw
imm[11:0]		rs1	000	rd	0010011	I addi
imm[11:0]		rs1	010	rd	0010011	I slti
imm[11:0]		rs1	011	rd	0010011	I sltiu
imm[11:0]		rs1	100	rd	0010011	I xori
imm[11:0]		rs1	110	rd	0010011	I ori
imm[11:0]		rs1	111	rd	0010011	I andi

0000000	shamt	rs1	001	rd	0010011	I slli
0000000	shamt	rs1	101	rd	0010011	I srli
0100000	shamt	rs1	101	rd	0010011	I srai
0000000	rs2	rs1	000	rd	0110011	R add
0100000	rs2	rs1	000	rd	0110011	R sub
0000000	rs2	rs1	001	rd	0110011	R sll
0000000	rs2	rs1	010	rd	0110011	R slt
0000000	rs2	rs1	011	rd	0110011	R sltu
0000000	rs2	rs1	100	rd	0110011	R xor
0000000	rs2	rs1	101	rd	0110011	R srl
0100000	rs2	rs1	101	rd	0110011	R sra
0000000	rs2	rs1	110	rd	0110011	R or
0000000	rs2	rs1	111	rd	0110011	R and

RISC-V MCU

- No corren sistemas operativos complejos
  - Para correrlos requiere extensión U, S y M junto con una MMU con extensiones Sv39
- No usa memoria virtual (no implementa Sv39)
- A veces puede llevar protección de memoria
- Usualmente unos pocos Kilobytes de RAM
- Usualmente unos pocos Kilobytes de Flash
- Opera entre decenas de MHz y cientos de MHz
- Prioriza predictibilidad frente a performance

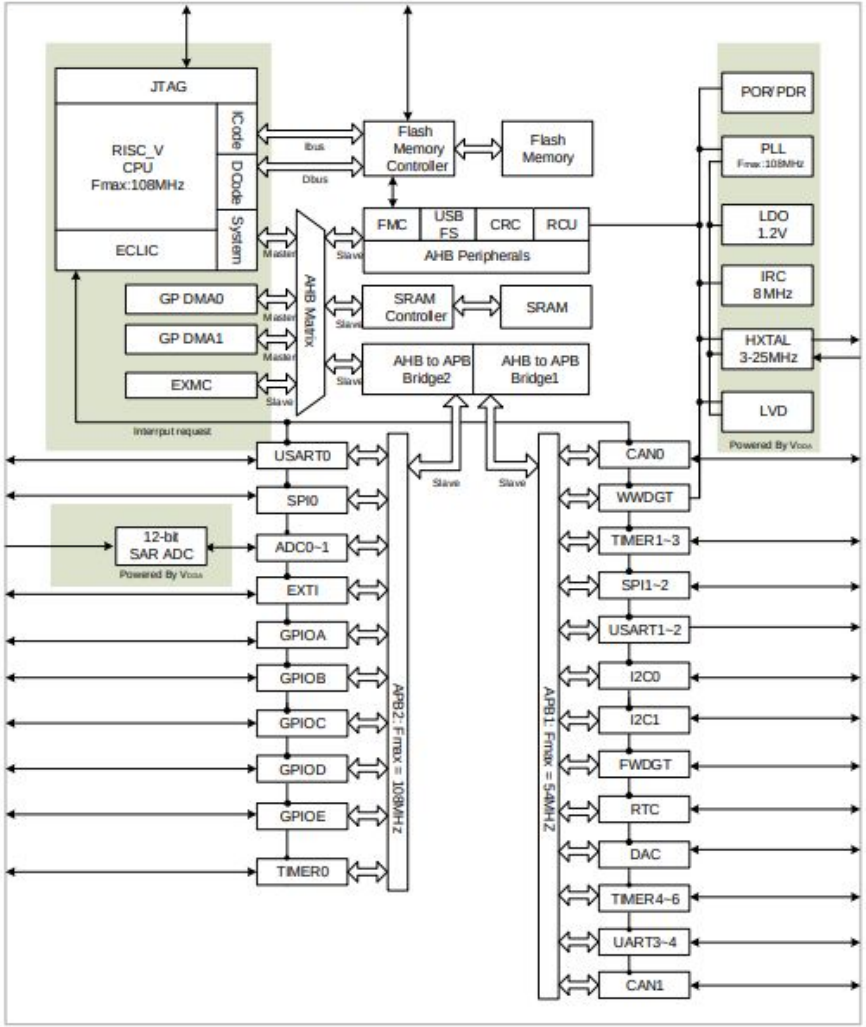


RISC-V MCU: Algunos ejemplos

Gigadevice GD32VF103

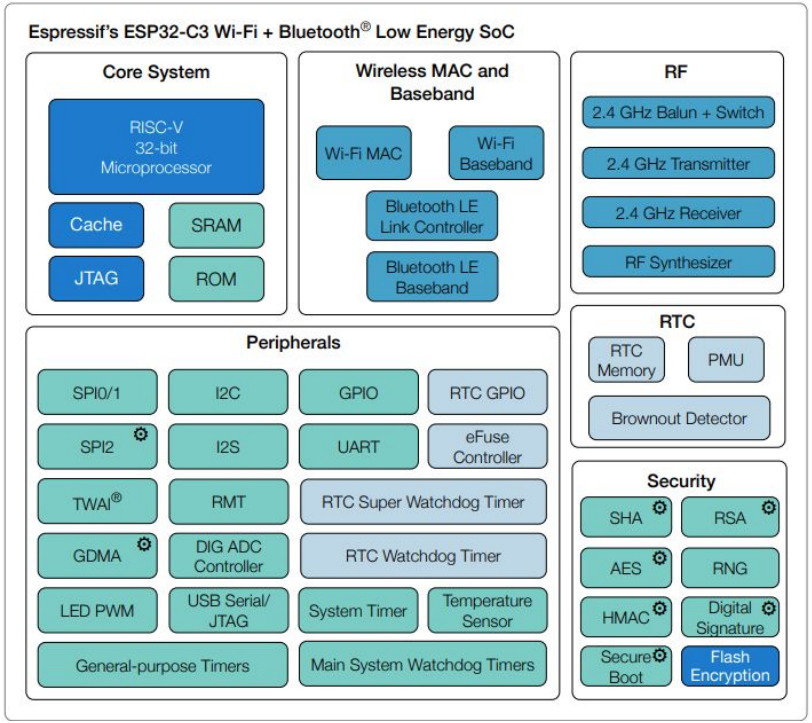
- Imita el pinout y periféricos de STM32
- Reemplaza el cortex-m3/m4 de ST por RISC-V
- ~100MHz de CPU
- 6-32K de RAM
- 16-128K de Flash
- UARTx4, SPIx2, I2Cx2, ADC, DAC, CAN, USB FS
- RTC, 5 Timers
- Interfaz de memoria externa
- 28-80 GPIO compartido entre los periféricos
- Soporte de FreeRTOS, RT-Thread y otros
- Encapsulados desde LQFP48 a LQFP100

Figure 2-1. GD32VF103 block diagram



EspressIF ESP32-C3

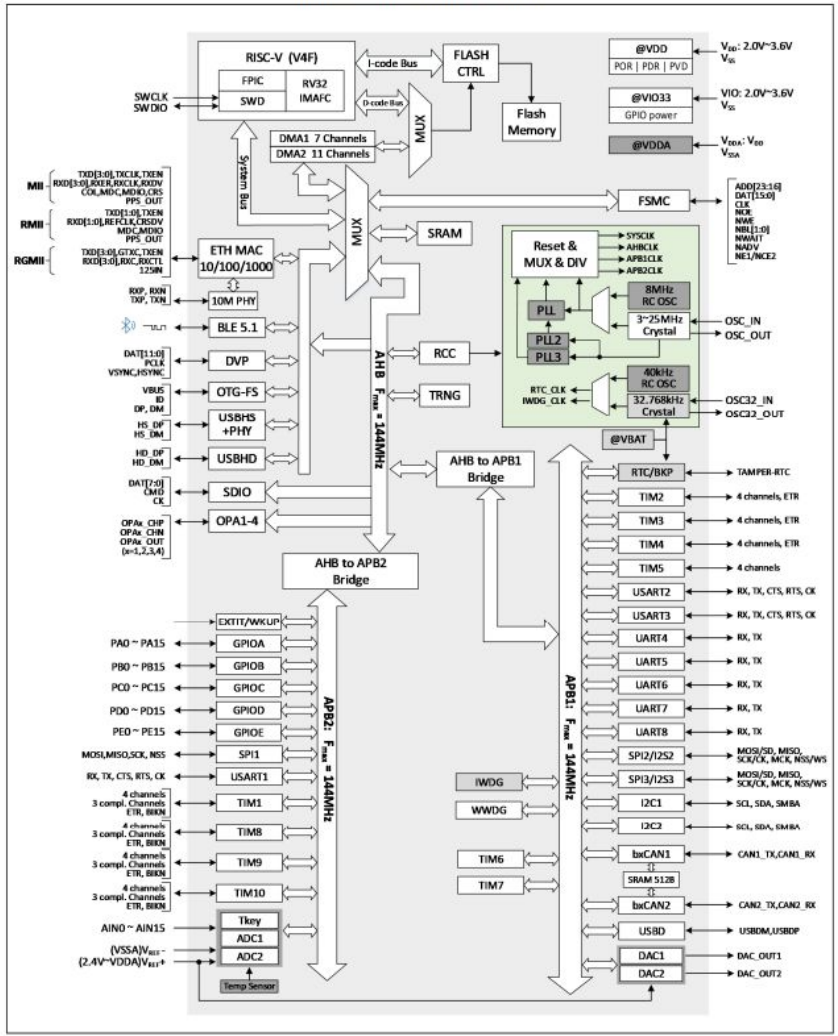
- SoC diseñado para IoT
- Conectividad WiFi y Bluetooth
- Memoria flash externa (permite encriptación)
- 500KB de RAM interna
- Aceleradores de encriptación
- Debugger USB incorporado al chip
- Compatibilidad total con la familia ESP32 clásica
- Soporte de librerías complejas como TCP/IP, HTTP server y cliente, MQTT entre otras



WCH CH32V307

- MCU de propósito general
- 128K RAM, 288K FLASH
- Gran cantidad de perifericos
  - USB Full Speed y High Speed (Dev/Host/OTG)
  - SDIO, Interfaz de cámara, Memoria externa
  - UARTx8, SPIx2, I2Cx2, CANx2
  - 15 canales de ADCx2
  - Timer x10, RTC
  - ETH MAC 1Gb
  - ETH MAC+PHY 10Mb
- Compatibilidad parcial con STM32 de gama alta

Figure 2-1 System block diagram



Bibliografía

- http://riscvbook.com/spanish/guia-practica-de-risc-v-1.0.5.pdf
- https://www.cl.cam.ac.uk/teaching/1617/ECAD+Arch/files/docs/RISCVGreenCardv8-20151013.pdf
- https://github.com/mortbopet/Ripes/releases
- Computer Organization and Design RISC-V Edition: The Hardware Software Interface (The Morgan Kaufmann Series in Computer Architecture and Design) 1st Edition. David Patterson
ISBN-10: 0128122757